

ОБЩЕЕ ОПИСАНИЕ.

Электрически стираемое перепрограммируемое постоянное запоминающее устройство (ЭСППЗУ), выполненное по п-ка-нальной технологии с плавающим затвором и организацией памяти 128слов по 8 бит в каждом (128 x 8).

MDA2061/2062 предназначена для применения как энергонезависимое перепрограммируемое запоминающее устройство совместно с комплектом микросхем серии CCU2000, микропроцессоров управления ТВ-приемниками серии MAA4000 или контроллерами ТВ-приемников серий SAA1280, SAA1290 и SAA1293. Она предназначена для записи информации о настройке радиоканала ТВ-приемника, некоторых значений управления аналоговыми выходами, а также хранения значений регулировок, сделанных на заводе-изготовителе телевизионного приемника. Записанная информация сохраняется при снятии питания с микросхемы. Чтение и программирование информации осуществляется через IM-шину (См. Описание IM-шины, стр. 290). Входные и выходные сигналы - ТТЛ-уровня. Для микросхемы MDA2062 (в отличие от MDA2061) входная адресация обеспечивает возможность работы двух микросхем параллельно, чтобы получить общий объем памяти 2048 бит.

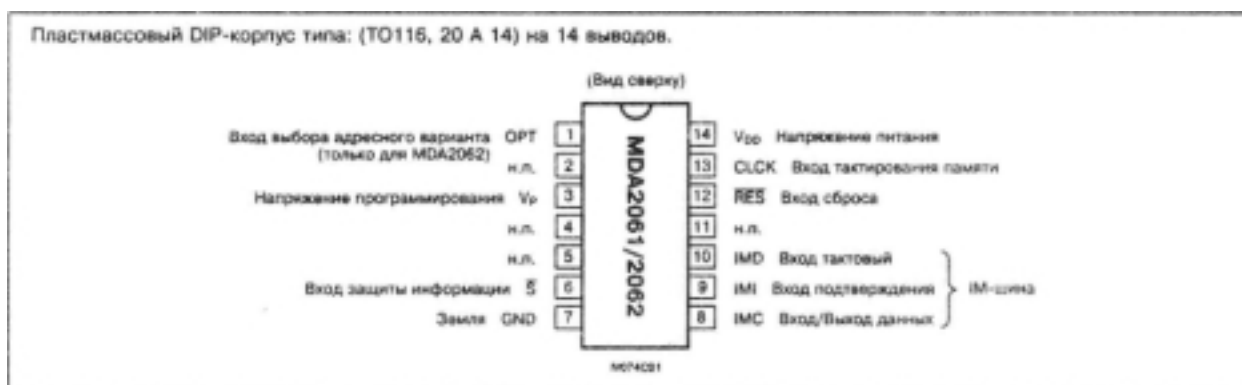
ОСОБЕННОСТИ . о' Хранение информации при снятии питания

- Входные и выходные сигналы ТТЛ-уровня
- Чтение и программирование посредством IM-шины
- Необходимость дополнительного источника питания (+20 В) для программирования
- Необходимость дополнительного тактового сигнала (частотой w1 кГц) для нормального выполнения операций по программированию
- Возможность (только для MDA2062) расширения объема памяти путем параллельного включения двух микросхем

Поставка микросхем заказчику

Микросхемы отгружаются с установленной "1" во всех разрядах за исключением ячеек с адресами #192 и #160, которые могут содержать информацию для замены. Если содержимое ячеек памяти с адресами # 192 и # 160 отлично от 255D, его не следует изменять, так как это приводит к появлению ложной информации внутри адресного пространства памяти.

ЦОКОЛЕВКА КОРПУСОВ.



ОПИСАНИЕ ВЫВОДОВ МИКРОСХЕМЫ

OPT: Вход выбора адресных вариантов (Вывод 1)

для MDA2061 - не подключен При НИЗКОМ или плавающем (вывод не подключен) уровне на выводе 1. микросхема MDA2062 реагирует на адреса #128, #129 и #131 на IM-шине. При подаче на вывод 1 ВЫСОКОГО уровня микросхема MDA2062 реагирует на адреса #132, #133 и #135. Таким образом обеспечивается параллельная работа двух MDA2062 для того, чтобы получить 2048 бит энергонезависимой памяти с прямым доступом через IM-шину. На Рис. 3 показана внутренняя конфигурация этого входа. Он соединен внутри микросхемы с "землей" через транзистор, что эквивалентно сопротивлению 40 кОм.

н.п.: Не подключены (Выводы 2, 4, 5 и 11) Эти выводы внутри не подключены.

Vp: Напряжение программирования (Вывод 3)

Напряжение программирования должно быть $+20 \text{ В} \pm 5\%$. Потребляемый ток в режиме программирования около 1мА. В режиме отличном от режима программирования на выводе 3 может быть напряжение ЛЮБОГО уровня в пределах между $V_p - 0.7 \text{ В}$ и $+21 \text{ В}$. также этот вывод может остаться неподключенным. Микросхема MDA2062 не должна вставляться и извлекаться из панельки с напряжением $V_p \geq 6 \text{ В}$. В моменты вкл/выкл. питания микросхемы, ток от источника V_p следует ограничить значением $I_{p_{\text{ух}}} = 1 \text{ мА}$.

S: Вход защиты информации (Вывод 6)

На Рис. 3 показана внутренняя конфигурация этого входа., при НИЗКОМ уровне на выводе 6 одна из частей программируемой матрицы защищена так, что эта часть памяти не может быть случайно перепрограммирована. Только когда на выводе 6 непрерывно находится ВЫСОКИЙ уровень, защищенная часть памяти может программироваться. Вывод 6 внутри микросхемы соединен с "землей" через транзистор, что эквивалентно сопротивлению в 40 кОм.

СТРУКТУРНАЯ СХЕМА

GND: Земля (Вывод 7)

Этот вывод должен быть соединен с отрицательным выводом источника питания.

IMC, (MI, IMD: Выводы IM-шины (Выводы 8, 9, 10)

Эти выводы предназначены для соединения MDA2062 с 1М-шиной (См. Описание IM-шины), через которую она связывается с микропроцессорными комплектами CCU2030/2050/ 2070 или MAA4030 и контроллерами типа SAA1280/SAA1290/ SAA1293. Вывод 8 - линия тактовой частоты IMC, и вывод 9 - линия сигнала идентификации (подтверждения) IMI. являются входами как показано на Рис. 4, а вывод 10 - линия данных IMD, является входом/выходом, как показано на Рис. 5.

RES: Вход сброса (Вывод 12)

Внутренняя конфигурация входа показана на Рис. 4. Через этот вход MDA2062, вместе с другими схемами относящимися к системе, принимает сигнал RES, который формируется каждый раз при включении V_{pp} внешней RC-цепочкой. НИЗКИЙ уровень на выводе 12 (max 1.3 В) отменяет режим программирования и работу IM-шины. Адресные регистры памяти сохраняются, тогда как содержание дополнительных регистров стирается. Для работы на выводе 12 требуется ВЫСОКИЙ уровень (min 2.4 В).

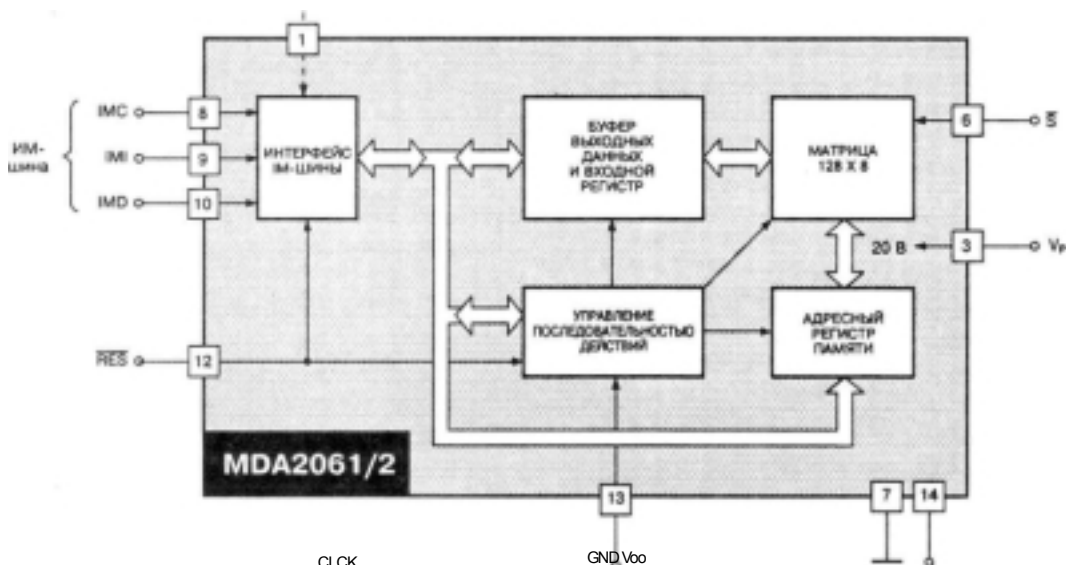
CLK: Вход тактирования памяти (Вывод 13)

Через этот вход (Рис. 4) микросхема MDA2062 принимает тактовую частоту 1 кГц от вывода 3 микропроцессоров CCU2030 /CCU2050/CCU2070/MAA4030 или от SAA1280/ SAA1290/SAA1293.

Vp0: Напряжение питания (Вывод 14)

Микросхема питается от напряжения $+5 \text{ В} \pm 5\%$ и потребляет ток в активном режиме около 30 мА.

OPT (только для MDA2062)
9



SA0 = D 160
SC0 = D 192

ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ.

Операции с памятью

Внутреннее адресное пространство памяти находится в пределах от адреса #128 до адреса #255. Адреса #4 и #14 выполняют специальные функции. Чтение и программирование осуществляется посредством IM-шины.

Чтобы прочесть слово данных, в первую очередь необходимый адрес памяти должен быть введен в адресный регистр памяти. Это осуществляется последовательным введением через IM-шину адреса #128 (или #132 при задействовании вывода OPT при НИЗКОМ уровне на выводе IMI с последующим введением адреса памяти (сигнал IMI равен "I"). Указанная последовательность действий образует одиночную операцию обращения посредством IM-шины.

После установки адресного регистра возможно считывание данных из памяти. Считывание осуществляется передачей посредством IM-шины адреса #129 (или #133 при задействовании вывода OPT) при НИЗКОМ уровне на выводе IMI. Сразу после этого, при ВЫСОКОМ уровне на выводе IMI с вывода IMb будет производиться последовательная передача соответствующего 8-разрядного содержимого памяти.

Перепрограммирование участка памяти (8-разрядного слова)-происходит в два этапа, которые одинаковы за исключением ввода слова данных.

Первый этап: в выбранном участке памяти все разряды устанавливаются в "I";

Второй этап: программирование необходимого слова данных в выбранный участок памяти.

На первом этапе, необходимый адрес памяти вводится так, как было описано выше при описании процесса чтения данных. Затем передается через IM-шину адрес #131 (или #135 при задействовании вывода OPT) при НИЗКОМ уровне на выводе IMI, затем при ВЫСОКОМ уровне на выводе IMI, передается слово данных 255D, то есть все разряды устанавливаются в "I". Сразу после этого внутри микросхемы начинается проверка правильности программирования, в течение около 16 периодов тактовой частоты памяти (1 кГц). В течение этого времени микросхема находится в состоянии "Занято", все входы заблокированы от воздействия на программирование за исключением входа RES. При НИЗКОМ уровне на выводе RES прерывается любая операция программирования, которая проводится в это время. О состоянии "Занято" можно запросить, прочитав первый разряд по адресу #14. ЕДИНИЦА в этом разряде означает, что программирование еще продолжается. При вводе адреса #14 следует всегда запрашивать состояние первого разряда.

При чтении ячеек памяти с другими адресами во время состояния "Занято" с выхода IMD будут выдаваться ошибочные (ложные) данные. Изменение адреса во время состояния "Занято" не будет изменять содержимого адресного регистра памяти. Попытка начать следующую операцию программирования во время состояния "Занято", также не будет иметь успеха.

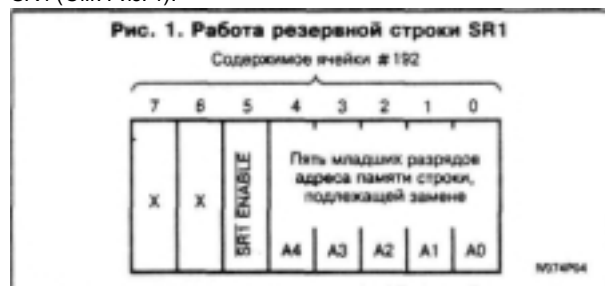
После перерыва на проверку программирования нормальная работа может быть возобновлена, например, выполнением второго шага программирования, то есть записи необходимого 8-битового слова данных в соответствующую ячейку памяти. Если необходимо, можно перезаписать соответствующий адрес памяти. Также как на первом этапе передается адрес #131 (или #135 при задействовании вывода OPT), за которым следует необходимое 8-разрядное слово данных. Потенциал входа IMI изменяется в той же последовательности, как и

ранее. Микросхема вновь будет проверять правильность программирования (сравнения программной последовательности), как это было описано выше. После паузы данные могут быть вновь перепрограммированы.

Резервирование

Микросхема MDA2061/2062 содержит схему, которая позволяет поменять до двух строк в матрице памяти, каждая из которых содержит 4 байта памяти, на резервные строки SR1 и SR2. Подстановка может быть сделана пользователем.

Чтобы приготовить к работе строку SR1, ячейка памяти с адресом 192 должна содержать 5 младших значащих разрядов тех адресов памяти, которые идентифицируют строку, подлежащую замене. Кроме того, пятый разряд следует установить равным "0", что означает работу строки SR1 (См. Рис. 1).



Чтобы подготовить для работы SR2 ячейка памяти с адресом #160 должна быть установлена аналогично ячейке #192.

После активизации замена строк выполняется чтением содержимого ячеек памяти с адресами #192 и #160. Это переносит информацию из энергонезависимой матрицы памяти в энергонезависимые регистры. Важно запомнить, что регистры очищаются (разряд 5 устанавливается в "1") НИЗКИМ уровнем сигнала RES. Поэтому, любые изменения уровня сигнала RES с НИЗКОГО на ВЫСОКИЙ должны немедленно сопровождаться чтением ячеек памяти с адресами #192 и #160, что вызывает перезапись информации в регистр.

Строка SR2 может быть заменена на SR1, тогда как строка SR1 на SR2 - нет. Строки SR1 и SR2 находятся в части матрицы памяти, которая не защищается сигналом S. Ячейки адресов памяти #192 и #160 находятся в защищаемой части памяти.

Тестирование

Микросхема MDA2061/2062 содержит схему, предназначенную для обеспечения тестирования различных функций. Путем программирования данных в ячейке с адресом #4 микросхема переключается в один или большее число режимов тестирования.

Защищенная матрица

Программируемая матрица памяти имеет защищенную часть. Ячейки адресами с #128-#134, #160-#166, #192-#198 и #224 - #230 могут программироваться, если сигнал A имеет ВЫСОКИЙ уровень. Таким образом эта часть памяти защищена от несанкционированного перепрограммирования даже, если ложная информация принимается через IM-шину. Остальная часть программируемой матрицы памяти не защищена.

Все напряжения измерены относительно вывода 7 (G)
ПРЕДЕЛЬНО ДОПУСТИМЫЕ ЗНАЧЕНИЯ ПАРАМЕТРОВ

ND) FTРОВ И
РЕЖ

ИМОВ

ПАРАМЕТР	СИМВОЛ	ЗНАЧЕНИЕ не менее типовое не более		ЕДИНИЦА ИЗМЕРЕНИЯ
Напряжение питания	VDD	-0.5	- 6	В
Напряжение программирования	Vp	VDD-0.8	- 22	В
Ток программирования	IP	-	7 —	мА
Входное напряжение	Vi	-0.3	VDD	В
Выходной ток	*I0	—	5 -	мА
Диапазон рабочих температур окружающей среды	TA	0	- 65	°C
Температура хранения	Te	-40	— 125	°C

"Записанные данные могут быть повреждены при T, выше +85 °C

С. РЕКОМЕНДОВАННЫЕ РАБОЧИЕ ХАРАКТЕРИСТИКИ

ПАРАМЕТР	символ	ЗНАЧЕНИЕ не менее типовое не более		ЕДИНИЦА ИЗМЕРЕНИЯ
Напряжение питания	VDD	4.75	5.0 5.25	В
Напряжение программирования не при программировании при программировании	Vp Vp	VDD-0.7 19	— 21 20 21	В В
Максимальный ток программирования	Ipp	—	— 5	мА
Входные напряжения выводы 1, 6, 8, 9, 10 и 13 НИЗКИЙ уровень ВЫСОКИЙ уровень * вывод 12 НИЗКИЙ уровень ВЫСОКИЙ уровень	V _{IL}	2.4 2.4	— 0.8 - 1.3	В
	V _{IH}			В
	V _{OL}			В
	V _{OH}			В
Тактовая частота памяти	f ₃	0.9	1.0 1.1	кГц
Сквозность	T ₃	0.2	— 99.8	%
Время нарастания Uрд	t _r	-	— 500	нс
Время нарастания Vp	<2	0.01	— 500	нс
Время задержки Vp - Uрд	»3	—	— 50	нс
Время задержки VDD - V [^]	<4	0	— -	нс
Время спада VDD	t _s	-	— 500	нс
Время спада Vp	t _e	0.01	- 500	нс
Время задержки V [^] - V [^]	(7	0	- -	нс
Время задержки V [^] - Vp	t _»	-	— 50	нс



ХАРАКТЕРИСТИКИ

"при $V_D \leq 5$ В, $V_P = 20$ В, $f = 1$ кГц, $T_d \leq 25^\circ\text{C}$.

ПАРАМЕТР	СИМВОЛ	ЗНАЧЕНИЕ ЕДИНИЦА не менее типовое не более ИЗМЕРЕНИЯ
Ток потребления вывод 14 вывод 3 при программировании не при программировании	I_{DD} I_P I_P	10—40 мА 0.3—2 мА — — 40 мкА
Входной ток утечки, выводы 8, 9, 12, 13 при $V_{in} = 5$	$-I_{IH}$	— — 10 мкА
Выходной ток утечки SM-шины при ВЫСОКОМ уровне $U_{DM} = 5$ В, вывод 10	$-I_{OH}$	— — 10 мкА
Выходное напряжение НИЗКОГО уровня IM-шины при $I_Q \leq 3$ мА, вывод 10	V_{OI}	- - 0.4 В
Входной внутренний ток при $V_i \leq 5$ В, выводы 1 и 6	I_{IH}	35 — 260 мкА
Время стирания/записи при $f \leq 1$ кГц	t_P	15.9 - 17.1 мс



Схемотехника входных цепей микросхемы

Следующие рисунки схематически показывают входные цепи (схемы) различных выводов. Интегральные структуры для защиты входов здесь не показаны.

Рис. 4. Выводы 8, 9, 12 и 13 (Входы)

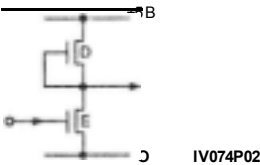


Рис. 3. Выводы 1 и 6 (Входы)

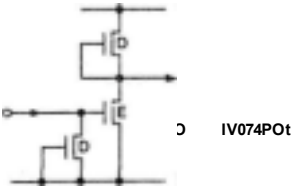
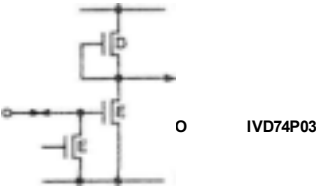


Рис. 5. Вывод 10 (Вход/Выход)





ТЕСТОВЫЕ ФУНКЦИИ (MDA2062)

Описание тестового байта не является частью спецификации. Оно не содержит необходимой информации для практического использования микросхемы MDA2062. Оно введено, как описание различных функций тестового байта, который создан для использования на заводе-изготовителе микросхемы и не применяется при практическом использовании микросхемы по назначению. Вся информация в данном разделе может быть изменена производителем без уведомления.

Область памяти с адресом #4 содержит тестовый байт, который управляет режимом тестирования MDA2062. Для активации тестового байта необходимо установить пятый разряд в "0". Тестовый байт устанавливается при введении по вводу адреса #4 через IM-шину с последующим вводом необходимых данных тестового слова. Тестовый байт действителен в течение всех последующих режимов IM-шины до тех пор, пока не будет изменен или установлен в "0" НИЗКИМ уровнем сигнала RES. Тестовый байт не будет изменяться во время режима "Занято" при попытках программирования. В Таблице 1 показано назначение бит в тестовом байте.

Блочное программирование

С помощью тестового байта можно активировать три режима блочного программирования (См. Таблицу 2).

Таким образом, программирование всех выбранных байт одними и теми же данными делается за одну программную последовательность (цикл). Полная (законченная) последовательность следующая:

- Ввести адрес #4
- Ввести тестовый байт (например 160D)
- Ввести адрес #128, #130 или #131
- Ввести данные для блочного программирования.

Программирование шахматного поля выполняется за два шага, после загрузки тестового байта:

- Ввести адрес #130
- Ввести данные для блочного программирования 85D
- Ввести адрес #131
- Ввести данные для блочного программирования 170D

Таблица 1. Назначение бит в тестовом байте

Режим блочного программирования активен	Сдвиг опорного напряжения на -0.3 В	Тестовый байт активен	Сдвиг опорного напряжения на -0.6 В	RAMP-функция не активна	Сдвиг опорного напряжения на +0.3 В	Резервиров. не активно	Сдвиг опорного напряжения на +0.6 В
7	6	5	4	3	2	1	0



Чтение смещением (относительно опорного напряжения)

Во время режима чтения порог напряжения ячейки памяти сравнивается с опорным напряжением. На выходе компаратора возникает уровень логической "1" для ячейки, чей порог выше, чем опоры и логический "0" - для ячейки, чей порог ниже опоры.

Тестовый байт устанавливает значения сдвига опорного напряжения в положительном или отрицательном направлении с тремя значениями: $\pm 0.3 \text{ В}$, $\pm 0.6 \text{ В}$, $\pm 0.9 \text{ В}$.

Во время чтения смещением опорного напряжения сдвигом опорного напряжения в положительную сторону проводят определение граничного напряжения для логических "1", а сдвигом в отрицательную сторону - для логических "0". Это определение граничного напряжения производится цифровым образом только посредством ИМ-шины, при этом не нужно переключать напряжение питания (заблокировать RAMP-функцию).

Величина сдвига опорного напряжения	Установка разрядов тестового байта							
	7	6	5	4	3	2	1	0
+0.9 В	x	0	1	0	X	1	X	1
+0.6 В	x	0	1	0	X	0	X	1
+0.3 В	x	0	1	0	X	1	x	0
-0.3 В	x	1	1	0	X	0	X	0
-0.6 В	x	0	1	1	X	0	X	0
-0.9 В	x	1	1	1	X	0	X	0

Выключение избыточности

При установке бита 1 в тестовом байте, резервные строки не могут быть доступны ни в режиме программирования, ни в любом режиме чтения, даже если дополнительные регистры должным образом загружены. Эта функция тестового байта не оказывает влияния на блочные операции программирования.

Выключение схемы формирования внутреннего источника напряжения программирования

Микросхема MDA2062 содержит так называемую RAMP-схему для формирования внутреннего напряжения программирования. Эта схема необходима для осуществления процесса записи/стирания ячеек памяти.

Установка бита 3 тестового байта блокирует эту схему так, что внутренний источник напряжения программирования, согласно временным диаграммам (Рис. 7) сразу же отсоединяется от источника V_{po} и подключается к источнику V_{p} во время четвертого спада (перехода с НИЗКОГО на ВЫСОКИЙ уровень) тактовой частоты (1кГц) и отсоединяется от V_{p} источника и заново подключается к источнику $V_{\text{рд}}$ во время четырнадцатого спада (перехода с НИЗКОГО на ВЫСОКИЙ И уровень) тактовой частоты (1кГц) после прихода последнего переднего фронта сигнала IMI, запускающего программный цикл. Это делается для того, чтобы внутренний источник напряжения программирования мог подключаться к внешнему источнику питания через вывод V_{p} .

Таблица 2. Режимы блочного программирования

Режим	Разряды адреса памяти								[DEC]	Примечание
	7	6	5	4	3	2	1	0		
Выбираются все байты	1	X	x	x	X	X	0	x	128	Включая 8 байт в резервных строках
Выбираются все четные байты	1	x	X	X	X	X	1	0	130	Резервные байты не предопределены, их следует определить как четные байты
Выбираются все нечетные байты	1							1	131	Резервные байты не предопределены

Рис. 7. Временная диаграмма при отключенной схеме формирования внутреннего источника напряжения программирования

